

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-196727

(P2001-196727A)

(43)公開日 平成13年7月19日 (2001.7.19)

(51)Int.Cl.⁷

H 05 K 3/18

識別記号

F I

テマコード(参考)

G 04 C 1/00

H 05 K 3/28

H 05 K 3/18

B 5 E 3 1 4

D 5 E 3 4 3

G 04 C 1/00

H 05 K 3/28

B

審査請求 未請求 請求項の数 6 O.L (全 8 頁)

(21)出願番号

特願2000-5407(P2000-5407)

(22)出願日

平成12年1月14日 (2000.1.14)

(71)出願人 000005186

株式会社フジクラ

東京都江東区木場1丁目5番1号

(72)発明者 十文字 貞光

東京都江東区木場1丁目5番1号 株式会

社フジクラ内

(72)発明者 田辺 信夫

東京都江東区木場1丁目5番1号 株式会

社フジクラ内

(74)代理人 100080366

弁理士 石戸谷 重徳

最終頁に続く

(54)【発明の名称】 回路基板の製造方法及び回路基板

(57)【要約】

【課題】 本発明は、コストダウンを可能とするフレキシブルプリント基板 (FPC) などの回路基板の製造方法を提供せんとするものである。

【解決手段】 かかる本発明は、ベースフィルム上に回路のシード層を、蒸着、化学メッキ、又はスパッタによって形成する回路基板の製造方法にあり、これによつて、工程の簡略化が図られ、コストダウンが達成される。

【特許請求の範囲】

【請求項1】ベースフィルム上にマスキングを施し、蒸着によって回路のシード層を形成することを特徴とする回路基板の製造方法。

【請求項2】ベースフィルム上にマスキングを施し、化学メッキによって回路のシード層を形成することを特徴とする回路基板の製造方法。

【請求項3】ベースフィルム上にマスキングを施し、スパッタによって回路のシード層を形成することを特徴とする回路基板の製造方法。

【請求項4】前記回路のシード層を所定の導体厚さまで、蒸着、化学メッキ、電解メッキ又はスパッタで形成することを特徴とする請求項1、2又は3記載の回路基板の製造方法。

【請求項5】前記回路が形成されたベースフィルム上に脱ハロゲン又は脱アンチモンのカバーレイフィルム又はカバーコートを施すことを特徴とする請求項1、2、3又は4記載の回路基板の製造方法。

【請求項6】前記請求項1、2、3、4又は5記載の方法により製造されたことを特徴とする回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、片面又は両面のフレキシブルプリント基板(FPC)などの回路基板の製造方法及びこれにより得られた回路基板に関するものである。

【0002】

【従来の技術】FPCには、図4に示すような片面側に所定の回路を形成したものと、図5に示すような両面側に所定の回路を形成したものとがある。つまり、片面FPCではベースフィルム10上に接着剤層11を介して銅箔などからなる回路12が形成され、この上に接着剤層21を介してカバーレイフィルム(カバーコートも可)20が形成されてなる。一方、両面FPCも、基本的には片面FPCと同様で、ベースフィルム10の両面側に接着剤層11を介して銅箔などからなる回路12が形成され、これらの上に接着剤層21を介してカバーレイフィルム(カバーコートも可)20が形成されてなる。

【0003】このようなFPCにあって、特に片面FPCを例にとると、図6に示すように、先ず、ステップS1でベースフィルム上に接着剤層を介して銅箔を貼り付けた銅張りフィルムを用意し、次に、これにステップS2でスクリーン印刷法やフォトレジスト法により回路のレジストパターンを形成する。この後、ステップS3でエンチッギし、銅箔の回路パターンを形成する一方、ステップS4で不要なレジストを剥離する。

【0004】この後、カバーレイタイプでは、ステップS5に示すように、カバーレイフィルムを用意し、これをステップS6で上記回路パターンの形成されたベース

フィルム上に接着剤層を介して貼り付け、必要なメッキや穴打ち抜きなどを施して、所望の製品が得られる。なお、カバーレイタイプでは、ステップS7に示すように、カバーコートインクを用意し、これをステップS8で上記回路パターンの形成されたベースフィルム上にスクリーン印刷により塗布している。

【0005】

【発明が解決しようとする課題】いずれにしても、上記従来の製造方法では、その工程が結構面倒であり、特にエンチッギ工程時に発生する銅イオンや銅化合物の処理が大変であって、その処理コストが嵩む一方、環境汚染などの問題もあった。

【0006】さらに、近年の電子機器にあっては難燃性が必要とされ、このため、これらの機器中に内蔵されるFPCにあっても、その接着剤層部分に臭素化ホキシなどのようなハロゲン含有有機材料や、三酸化アンチモン、無機フィラーなどの難燃剤を混合して難燃性を持たせているが、これらのハロゲン含有化合物やアンチモン含有化合物によって、火災やその後の廃棄処理の際、有害ガスや有害物質が発生するなどの問題があった。

【0007】本発明は、このような従来の問題点に鑑みてなされたもので、基本的には、蒸着、化学メッキ、スパッタなどによって回路のシード層を形成し、これによって、従来のエンチッギ工程を省略して、コストダウンを図った回路基板の製造方法、及びこれにより得られた回路基板を提供せんとするものである。

【0008】

【課題を解決するための手段】請求項1記載の本発明は、ベースフィルム上にマスキングを施し、蒸着によって回路のシード層を形成することを特徴とする回路基板の製造方法にある。

【0009】請求項2記載の本発明は、ベースフィルム上にマスキングを施し、化学メッキによって回路のシード層を形成することを特徴とする回路基板の製造方法にある。

【0010】請求項3記載の本発明は、ベースフィルム上にマスキングを施し、スパッタによって回路のシード層を形成することを特徴とする回路基板の製造方法にある。

【0011】請求項4記載の本発明は、前記回路のシード層を所定の導体厚さまで、蒸着、化学メッキ、電解メッキ又はスパッタで形成することを特徴とする請求項1、2又は3記載の回路基板の製造方法にある。

【0012】請求項5記載の本発明は、前記回路が形成されたベースフィルム上に脱ハロゲン又は脱アンチモンのカバーレイフィルム又はカバーコートを施すことを特徴とする請求項1、2、3又は4記載の回路基板の製造方法にある。

【0013】請求項6記載の本発明は、前記請求項1、2、3、4又は5記載の方法により製造されたことを特

徵とする回路基板にある。

【0014】

【発明の実施の形態】図1は、本発明に係る回路基板の製造方法の一例になる概略を示したものである。先ず、ステップS11に示すように、ポリイミドフィルムなどのベースフィルムを用意する。このフィルムは樹脂フィルムのみからなり、銅箔などの金属層部分は形成されていない。

【0015】次に、ステップS12において、ベースフィルム上に感光性のフィルムをラミネートするなどしてフォトレジスト層を形成する。この後、ステップS13で感光（露光）させ、ステップS14でフォトレジスト層の不要なレジスト層（非感光部分）を除去し、回路パターン（マスクパターン）を形成する。

【0016】このマスキング工程の後、ステップS15Aにおいて、蒸着工程に導き、蒸着によって回路のシード層（種層）を形成する。この回路の蒸着材料種としては、銅、銀、カーボンなどの各種のものが適宜選択できる。

【0017】このシード層は、ベースフィルムに対する一種の糊代となる部分であるため、回路の所定の厚さとするためには、回路の厚さにもよるが、ステップS16の回路形成工程で、所定の厚さに成長させる必要がある。そのためには、シード層形成時の蒸着を継続して行うか、或いはシード層上に化学メッキや電解メッキ、スパッタなどによって成長させるようにしてもよい。

【0018】このようにして所定の厚さの回路が形成されたら、ステップS17において、マスキング用として残存するフォトレジスト層を剥離、除去する。

【0019】この後、ステップS18～19に示すように、回路が形成されたベースフィルム上にカバーレイフィルム又はカバーコートを施す。これらのカバーレイフィルムやカバーコートとしては、通常のものでもよいが、好ましくは脱ハロゲンタイプや脱アンチモンタイプのものの使用が望ましい。

【0020】このようなカバーレイフィルムとして、例えば貼り付け側に熱可塑性ポリイミド付きのポリイミドフィルムやポリイミド接着剤が塗布されたポリイミドフィルムが挙げられる。また、カバーコートとして、例えばポリイミドワニスなどが挙げられる。なお、カバーレイフィルムでは貼り付けた後、硬化させねばよく、また、カバーコートでは塗布した後、硬化（焼き付け）させねばよい。

【0021】このように従来のようなハロゲン化合物やアンチモン化合物などを含む通常の接着剤層を設けることないため、火災時に有害ガスが発生したり、廃棄時などの後処理が大変になることもなく、全体の製造コストの低減が可能となる。

【0022】この後、必要なメッキや穴打ち抜きなどの工程を経れば、本発明に係る所望の製品、片面FPCが

得られる。もちろん、本発明によって、両面FPCを得るには、上記の各工程を上記ベースフィルムの両面側に施せばよい。

【0023】図2は、本発明に係る回路基板の製造方法の他例になる概略を示したものであって、基本的には、上記図1のものとほぼ同様であるが、マスキング工程の後、ステップS15Bにおいて、化学メッキ工程に導き、化学メッキによって回路のシード層（種層）を形成する。この回路の化学メッキ材料種としては、銅、銀などの各種のものが適宜選択できる。

【0024】この回路のシード層も所定の厚さまで成長させるには、やはりステップS16の回路形成工程で成長させる必要がある。そのためには、シード層形成時の化学メッキを継続して行うか、或いはシード層上に蒸着や電解メッキ、スパッタなどによって成長させるようにしてもよい。

【0025】図3は、本発明に係る回路基板の製造方法のさらに別例になる概略を示したものであって、基本的には、上記図1のものとほぼ同様であるが、マスキング工程の後、ステップS15Cにおいて、スパッタ工程に導き、スパッタによって回路のシード層（種層）を形成する。この回路のスパッタ材料種としては、銅、銀などの各種のものが適宜選択できる。

【0026】この回路のシード層も所定の厚さまで成長させるには、やはりステップS16の回路形成工程で成長させる必要がある。そのためには、シード層形成時のスパッタを継続して行うか、或いはシード層上に蒸着や化学メッキ、電解メッキ、スパッタなどによって成長させるようにしてもよい。

【0027】〈実施例1〉図1に示した方法で、ポリイミドフィルム（厚さ25μm）のベースフィルム上にフォトレジスト層を形成してマスキングし、回路パターンを形成した後、蒸着により、36μmの銅導体層を形成した。なお、回路はIPC規格の屈曲試験用パターンとした。この後、マスキング用の残存フォトレジスト層を剥離し、除去した。この後、さらに、回路の形成されたベースフィルム上に通常のカバーレイフィルム（フィルム厚さ25μm、接着剤層厚さ30μm）を貼り付けて、所望の片面FPCを得た。

【0028】〈実施例2〉図1に示した方法で、ポリイミドフィルム（厚さ25μm）のベースフィルム上にフォトレジスト層を形成してマスキングし、回路パターンを形成した後、蒸着により、0.1μmの銅導体層を形成した。なお、回路はIPC規格の屈曲試験用パターンとした。この後、電解メッキにより銅導体層を36μmまで成長させ、また、マスキング用の残存フォトレジスト層は剥離し、除去した。この後、さらに、回路の形成されたベースフィルム上に通常のカバーレイフィルム（フィルム厚さ25μm、接着剤層厚さ30μm）を貼り付けて、所望の片面FPCを得た。

【0029】〈実施例3〉図1に示した方法で、ポリイミドフィルム（厚さ25μm）のベースフィルム上にフォトレジスト層を形成してマスキングし、回路パターンを形成した後、蒸着により、0.1μmの銅導体層を形成した。なお、回路はIPC規格の屈曲試験用パターンとした。この後、電解メッキにより銅導体層を36μmまで成長させ、また、マスキング用の残存フォトレジスト層は剥離し、除去した。この後、さらに、回路の形成されたベースフィルム上の全面にポリイミドワニスを塗布し、窒素雰囲気下で硬化（焼き付け）させた。この塗布層の厚さは25μmとした。

【0030】〈実施例4〉図1に示した方法で、ポリイミドフィルム（厚さ25μm）のベースフィルム上にフォトレジスト層を形成してマスキングし、回路パターンを形成した後、蒸着により、0.1μmの銅導体層を形成した。なお、回路はIPC規格の屈曲試験用パターンとした。この後、電解メッキにより銅導体層を36μmまで成長させ、また、マスキング用の残存フォトレジスト層は剥離し、除去した。この後、さらに、回路の形成されたベースフィルム上に熱可塑性ポリイミドがコーティングされたポリイミドフィルム（フィルム厚さ25μm）を熱プレスによって貼り付けた。

【0031】〈実施例5〉図2に示した方法で、ポリイミドフィルム（厚さ25μm）のベースフィルム上にフォトレジスト層を形成してマスキングし、回路パターンを形成した後、化学メッキにより、0.1μmの銅導体層を形成した。なお、回路はIPC規格の屈曲試験用パターンとした。この後、電解メッキにより銅導体層を36μmまで成長させ、また、マスキング用の残存フォトレジスト層は剥離し、除去した。この後、さらに、回路の形成されたベースフィルム上に通常のカバーレイフィルム（フィルム厚さ25μm、接着剤層厚さ30μm）を貼り付けて、所望の片面FPCを得た。

【0032】〈実施例6〉図2に示した方法で、ポリイミドフィルム（厚さ25μm）のベースフィルム上にフォトレジスト層を形成してマスキングし、回路パターンを形成した後、化学メッキにより、0.1μmの銅導体層を形成した。なお、回路はIPC規格の屈曲試験用パターンとした。この後、蒸着により銅導体層を36μmまで成長させ、また、マスキング用の残存フォトレジスト層は剥離し、除去した。この後、さらに、回路の形成されたベースフィルム上に通常のカバーレイフィルム（フィルム厚さ25μm、接着剤層厚さ30μm）を貼り付けて、所望の片面FPCを得た。

【0033】〈実施例7〉図2に示した方法で、ポリイミドフィルム（厚さ25μm）のベースフィルム上にフォトレジスト層を形成してマスキングし、回路パターンを形成した後、化学メッキにより、0.1μmの銅導体層を形成した。なお、回路はIPC規格の屈曲試験用パターンとした。この後、電解メッキにより銅導体層を3

6μmまで成長させ、また、マスキング用の残存フォトレジスト層は剥離し、除去した。この後、さらに、回路の形成されたベースフィルム上の全面にポリイミドワニスを塗布し、窒素雰囲気下で硬化させた。この塗布層の厚さは25μmとした。

【0034】〈実施例8〉図2に示した方法で、ポリイミドフィルム（厚さ25μm）のベースフィルム上にフォトレジスト層を形成してマスキングし、回路パターンを形成した後、化学メッキにより、0.1μmの銅導体層を形成した。なお、回路はIPC規格の屈曲試験用パターンとした。この後、電解メッキにより銅導体層を36μmまで成長させ、また、マスキング用の残存フォトレジスト層は剥離し、除去した。この後、さらに、回路の形成されたベースフィルム上に熱可塑性ポリイミドがコーティングされたポリイミドフィルム（フィルム厚さ25μm）を熱プレスによって貼り付けた。

【0035】〈実施例9〉図3に示した方法で、ポリイミドフィルム（厚さ25μm）のベースフィルム上にフォトレジスト層を形成してマスキングし、回路パターンを形成した後、スパッタにより、0.1μmの銅導体層を形成した。なお、回路はIPC規格の屈曲試験用パターンとした。この後、電解メッキにより銅導体層を36μmまで成長させ、また、マスキング用の残存フォトレジスト層は剥離し、除去した。この後、さらに、回路の形成されたベースフィルム上に通常のカバーレイフィルム（フィルム厚さ25μm、接着剤層厚さ30μm）を貼り付けて、所望の片面FPCを得た。

【0036】〈実施例10〉図3に示した方法で、ポリイミドフィルム（厚さ25μm）のベースフィルム上にフォトレジスト層を形成してマスキングし、回路パターンを形成した後、スパッタにより、0.1μmの銅導体層を形成した。なお、回路はIPC規格の屈曲試験用パターンとした。この後、蒸着により銅導体層を36μmまで成長させ、また、マスキング用の残存フォトレジスト層は剥離し、除去した。この後、さらに、回路の形成されたベースフィルム上に通常のカバーレイフィルム（フィルム厚さ25μm、接着剤層厚さ30μm）を貼り付けて、所望の片面FPCを得た。

【0037】〈実施例11〉図3に示した方法で、ポリイミドフィルム（厚さ25μm）のベースフィルム上にフォトレジスト層を形成してマスキングし、回路パターンを形成した後、スパッタにより、0.1μmの銅導体層を形成した。なお、回路はIPC規格の屈曲試験用パターンとした。この後、電解メッキにより銅導体層を36μmまで成長させ、また、マスキング用の残存フォトレジスト層は剥離し、除去した。この後、さらに、回路の形成されたベースフィルム上の全面にポリイミドワニスを塗布し、窒素雰囲気下で硬化させた。この塗布層の厚さは25μmとした。

【0038】〈実施例12〉図3に示した方法で、ポリ

イミドフィルム（厚さ25μm）のベースフィルム上にフォトレジスト層を形成してマスキングし、回路パターンを形成した後、スパッタにより、0.1μmの銅導体層を形成した。なお、回路はIPC規格の屈曲試験用パターンとした。この後、電解メッキにより銅導体層を36μmまで成長させ、また、マスキング用の残存フォトレジスト層は剥離し、除去した。この後、さらに、回路の形成されたベースフィルム上に熱可塑性ポリイミドがコーティングされたポリイミドフィルム（フィルム厚さ25μm）を熱プレスによって貼り付けた。

【0039】〈比較例1〉通常の銅張りポリイミドフィルム（フィルム厚さ25μm、銅箔厚さ36μm、接着剤層厚さ20μm）のベースフィルム上にフォトレジ

ト法により回路のレジストパターンを形成した後、エンチッピングすると共に、不要なレジストを剥離して、銅箔の回路を形成した。なお、回路はIPC規格の屈曲試験用パターンとした。この回路の形成されたベースフィルム上に通常のカバーレイフィルム（フィルム厚さ25μm、接着剤層厚さ30μm）を貼り付けて、所望の片面FPCを得た。

【0040】上記の如くして得られた各片面FPCの構成をまとめると共に、各回路の導体抵抗を測定したところ、表1の如くであった。

【0041】

【表1】

	回路シード層材料	回路シード層厚さ	回路2次材料	最終回路厚さ	カバー材料	回路導体抵抗
実施例1	蒸着銅	36μm	銅	—	通常フィルム	11.2Ω
実施例2	蒸着銅	0.1μm	銅	36μm	通常フィルム	11.5Ω
実施例3	蒸着銅	0.1μm	銅	36μm	ポリイミドワニス	13.0Ω
実施例4	蒸着銅	0.1μm	銅	36μm	熱可塑性ポリイミド付きポリイミドフィルム	12.5Ω
実施例5	メッキ銅	0.1μm	銅	36μm	通常フィルム	11.3Ω
実施例6	メッキ銅	0.1μm	銅	36μm	通常フィルム	12.5Ω
実施例7	メッキ銅	0.1μm	銅	36μm	ポリイミドワニス	13.0Ω
実施例8	メッキ銅	0.1μm	銅	36μm	熱可塑性ポリイミド付きポリイミドフィルム	11.5Ω
実施例9	スパッタ銅	0.1μm	銅	36μm	通常フィルム	10.2Ω
実施例10	スパッタ銅	0.1μm	銅	36μm	通常フィルム	10.1Ω
実施例11	スパッタ銅	0.1μm	銅	36μm	ポリイミドワニス	10.5Ω
実施例12	スパッタ銅	0.1μm	銅	36μm	熱可塑性ポリイミド付きポリイミドフィルム	10.5Ω
比較例1	銅箔	—	—	36μm	通常フィルム	10.0Ω

【0042】表1から、本発明に係る片面FPCの場合（実施例1～12）、従来の片面FPCの場合（比較例1）に比較して、ほぼ同等の導体抵抗が得られ、十分実用になる回路が形成されていることが分かる。

【0043】

【発明の効果】以上の説明から明らかなように、本発明に係る回路基板の製造方法によると、ベースフィルム上に回路のシード層を、蒸着、化学メッキ、又はスパッタによって形成するものであるため、工程の簡略化が図ら

れ、コストダウンが可能となる。特に、従来方法で必要とされるエッチング工程が不要となるため、銅イオンや銅化合物の処理などの作業が不要となり、言い換えれば環境に優しい製造方法が提供される。

【0044】もちろん、シード層の所定の厚さまでの成長は、当初の蒸着、化学メッキ、又はスパッタによるシード層の形成後、これらの当初手段の継続や他の手段との組み合わせによって容易に行うことができる。

【0045】また、カバーレイフィルムやカバーコート

を施すにおいて、脱ハロゲンタイプや脱アンチモンタイプとした、熱可塑性ポリイミド付きのポリイミドフィルムやポリイミド接着剤が塗布されたポリイミドフィルムなどのカバーレイフィルムや、ポリイミドワニスなどのカバーコートを利用することができるため、環境に優しい製造方法が提供される。

【図1】また、上記のような製造方法による本発明に係る回路基板によると、安価で環境に優しい製品が得られる。

【図面の簡単な説明】

【図1】 本発明に係る回路基板の製造方法の一例になる概略を示した説明図である。

【図2】 本発明に係る回路基板の製造方法の他の例になる概略を示した説明図である。

【図3】 本発明に係る回路基板の製造方法の別の例になる概略を示した説明図である。

【図4】 片面フレキシブルプリント基板を示した部分縦断面図である。

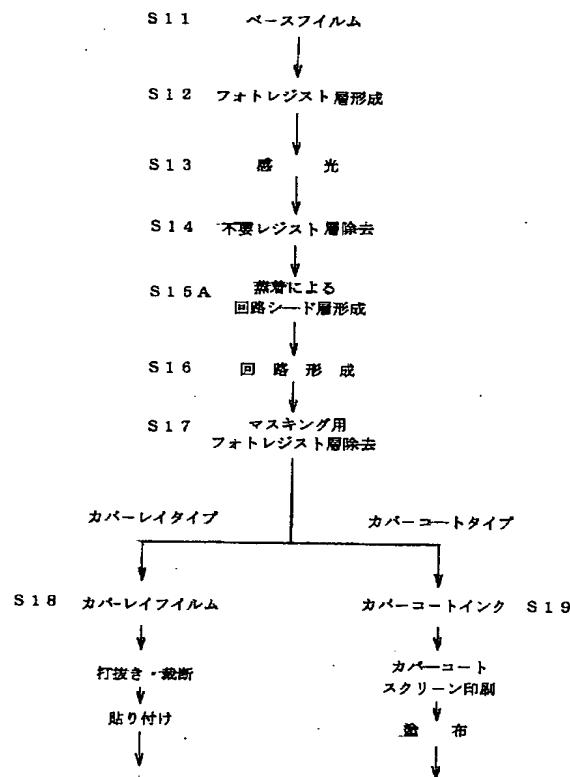
【図5】 両面フレキシブルプリント基板を示した部分縦断面図である。

【図6】 従来の回路基板の製造方法の概略を示した説明図である。

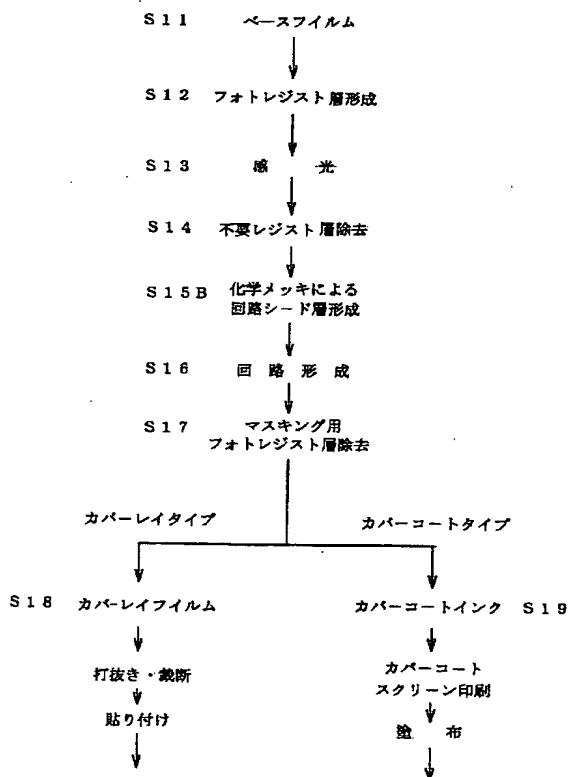
【符号の説明】

10	ベースフィルム
11	接着剤層
12	回路
20	カバーレイフィルム
21	接着剤層

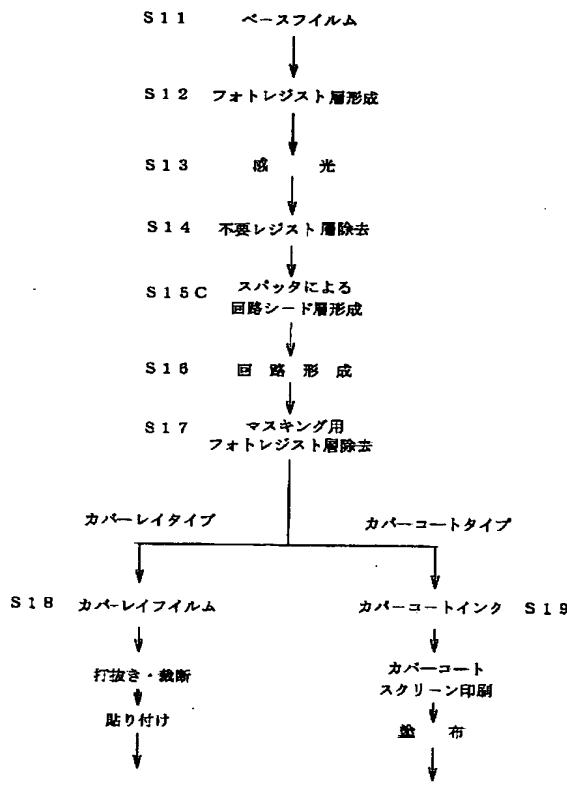
【図1】



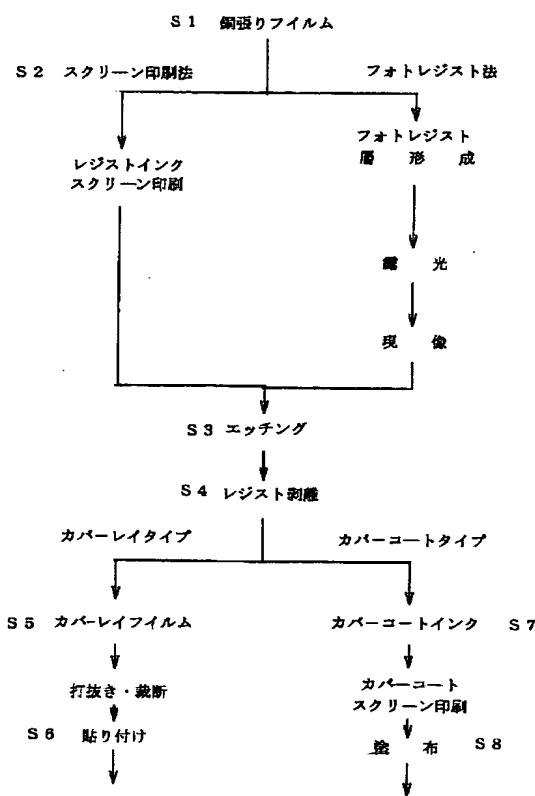
【図2】



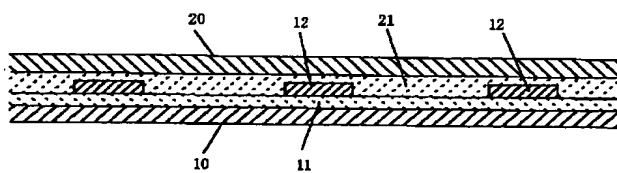
【図3】



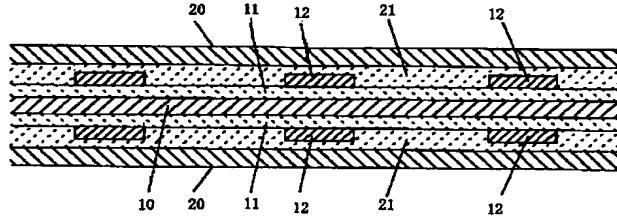
【図6】



【図4】



【図5】



フロントページの続き

(72)発明者 今井 隆之

東京都江東区木場1丁目5番1号 株式会
社フジクラ内

(72)発明者 新井 正彦

東京都江東区木場1丁目5番1号 株式会
社フジクラ内

(72)発明者 岡田 顯一

東京都江東区木場1丁目5番1号 株式会
社フジクラ内

F ターム(参考) 5E314 AA24 AA36 BB06 CC01 CC15

FF06 FF16 FF17 GG26

5E343 AA18 BB16 BB24 DD23 DD25

DD33 DD43 ER18 GG20